

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-297975

(43) Date of publication of application : 29.10.1999

(51) Int.CI.

H01L 27/14
H04N 5/335

(21) Application number : 11-032703

(71) Applicant : CANON INC

(22) Date of filing : 10.02.1999

(72) Inventor : SAWADA KOJI

KOZUKA HIRAKI

NISHIMURA SHIGERU

(30) Priority

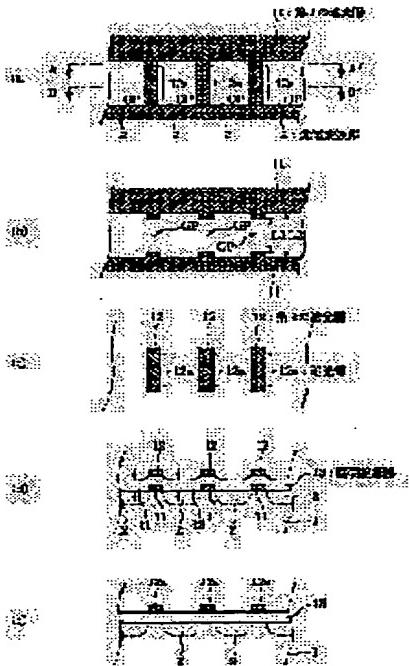
Priority number : 10 31223 Priority date : 13.02.1998 Priority country : JP

(54) PHOTOELECTRIC CONVERTER AND IMAGE SENSOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a photoelectric converter in which dispersion of output signal is suppressed by homogenizing interlayer insulating film thickness, and an image sensor thereof.

SOLUTION: In a photoelectric converter having plural photoelectric converter members 2 and having shading means 11 and 12 with openings on the photoelectric converter members, the shading means are the first shading layer 11 and the second shading layer 12 deposited on the first shading layer 11 via an interlayer insulating film 13. The first shading layer 11 has a gap GP for penetrating two neighboring openings OP, and shading parts 12a of the second shading layer 12 are located on the gap of the first shading layer 11.



LEGAL STATUS

[Date of request for examination] 14.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3586128

[Date of registration] 13.08.2004

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-297975

(43)公開日 平成11年(1999)10月29日

(51)Int.C1.⁶

識別記号

F I

H 01 L 27/14

H 01 L 27/14

D

H 04 N 5/335

H 04 N 5/335

U

審査請求 未請求 請求項の数20 OL (全 10 頁)

(21)出願番号

特願平11-32703

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成11年(1999)2月10日

(72)発明者 澤田 幸司

東京都大田区下丸子3丁目30番2号キヤノン

(31)優先権主張番号 特願平10-31223

株式会社内

(32)優先日 平10(1998)2月13日

(72)発明者 小塚 開

(33)優先権主張国 日本 (JP)

東京都大田区下丸子3丁目30番2号キヤノン

株式会社内

(72)発明者 西村 茂

東京都大田区下丸子3丁目30番2号キヤノン

株式会社内

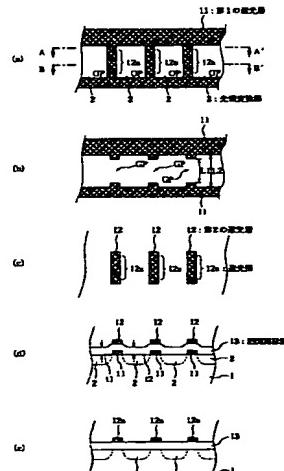
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】光電変換素子及びイメージセンサ

(57)【要約】

【課題】層間絶縁膜の膜厚を均一化し、出力信号のバラツキを抑える。

【解決手段】複数の光電変換部(2)と、該光電変換部上に配置された開口を有する遮光手段(11, 12)と、を具備する光電変換素子において、該遮光手段は、第1の遮光層(11)と、該第1の遮光層上に層間絶縁膜(13)を介して設けられた第2の遮光層(12)と、を有しており、該第1の遮光層は、隣接する2つの該開口(OP)を連通させる為の間隙(GP)を有し、該第1の遮光層の該間隙上には、該第2の遮光層の遮光部(12a)が配置されていることを特徴とする。



FP 04-0010
-00W0-HP
04.6.22
SEARCH REPORT

【特許請求の範囲】

【請求項1】 複数の光電変換部と、該光電変換部上に配置された開口を有する遮光手段と、を具備する光電変換素子において、

該遮光手段は、第1の遮光層と、該第1の遮光層上に層間絶縁膜を介して設けられた第2の遮光層と、を有しております、

該第1の遮光層は、隣接する2つの該開口を連通させる為の間隙を有し、

該第1の遮光層の該間隙上には、該第2の遮光層の遮光部が配置されていることを特徴とする光電変換素子。

【請求項2】 該層間絶縁膜は、CVD法により堆積された絶縁膜との積層体である請求項1記載の光電変換素子。

【請求項3】 該間隙の長さは、該開口の辺の長さの1/3以上である請求項1記載の光電変換素子。

【請求項4】 該層間絶縁膜は、酸化シリコン膜である請求項1記載の光電変換素子。

【請求項5】 該第2の遮光層上には該層間絶縁膜とは異なる材料からなる保護膜が設けられている請求項1記載の光電変換素子。

【請求項6】 該保護膜は、窒化シリコン膜である請求項5記載の光電変換素子。

【請求項7】 該遮光手段は、該光電変換部からの信号を処理する為の周辺回路の少なくとも一部の上に設けられた遮光部を有する請求項1記載の光電変換素子。

【請求項8】 該周辺回路はCMOS回路である請求項1記載の光電変換素子。

【請求項9】 隣接する2つの該光電変換部の間には、素子分離領域が設けられている請求項1記載の光電変換素子。

【請求項10】 該素子分離領域は、酸化シリコンからなる領域を含む請求項9記載の光電変換素子。

【請求項11】 複数の光電変換部と、該光電変換部上に配置された開口を有する遮光手段と、を具備する光電変換素子において、配線用の導電層と、該導電層上に層間絶縁膜を介して設けられた導電性遮光層と、を有しており、該導電層は、隣接する2つの該開口を連通させる為の間隙を有し、該導電層の該間隙上には該導電性遮光層の遮光部が配置され、該導電層に接続されていることを特徴とする光電変換素子。

【請求項12】 前記光電変換部の配列方向に沿った一方の側には、周辺回路を構成するトランジスタが配置されており、他方の側には基準電圧ラインが配置されている請求項1記載の光電変換素子。

【請求項13】 前記隣接する光電変換部の間には、複数の配線パターンが並んで配置されている請求項1記載の光電変換素子。

10

【請求項14】 前記規準電圧ラインと、前記周辺回路を構成するトランジスタとが、前記隣接する光電変換部間の第2の遮光層の遮光部を介して電気的に接続されている請求項12記載の光電変換素子。

【請求項15】 前記隣接する光電変換部間にある前記第2の遮光層の遮光部は、配線の一部になっている請求項1記載の光電変換素子。

【請求項16】 請求項1記載の光電変換素子と、該光電変換素子によって読み取るべき原稿を照明する為の光源と、を備えたイメージセンサ。

【請求項17】 該光源は互いに異なる3色の光を発生する請求項16記載のイメージセンサ。

【請求項18】 該光源は互いに異なる3色の光を順次照射する請求項16記載のイメージセンサ。

【請求項19】 該光電変換素子は、その表面が樹脂で覆われている請求項16記載のイメージセンサ。

【請求項20】 該光電変換素子は、画像を等倍で読み取る密着型イメージセンサである請求項16記載のイメージセンサ。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、イメージキャナ、ファクシミリ、ビデオカメラ、デジタルカメラ等に用いられるイメージセンサ及びそれに構成される光電変換素子に関する。

【0002】

【従来の技術】電荷結合素子(CCD)や、ホトトランジスタやホトダイオードを用いた増幅型又は非増幅型の固体撮像素子は、ラインセンサ或いはエリアセンサとして上記イメージキャナ等の情報機器の電子の目として広く用いられている。

30

【0003】光電変換部(受光素子)と信号転送部等の周辺回路を同一基板上に作製するような光電変換素子の場合、受光素子上は層間絶縁膜や保護膜などの多層構造になっている。これら各層の材質が違うと屈折率が異なることによって光の多重干渉が生じる。その多層構造の分光感度特性を見るとリップルを生じており、その結果わずかな波長の違いによって光電変換素子の感度が大きく変換することがある。

40

【0004】よって、受光素子上の多層膜の膜厚がばらつくと分光感度特性は膜厚に応じてずれ、ある波長に対する感度のばらつきとなる。この事は複数の受光素子が配列された光電変換素子において、1チップ内である波長に対する感度がばらつくことを意味する。

50

【0005】受光素子上の膜厚を均一化するための技術は、特開平9-55488に記載されている。図16は、このような従来の光電変換素子の断面を示しており、1は基板、2は受光素子、3は第1層ポリシリコングート、4は第2層ポリシリコングート、5は遮光層、6は保護膜であり、この上に平坦化層7を設けている。

ここでは、平坦化層上にオンチップレンズ9とカラーフィルタ8を形成している。

【0006】この平坦化層7は、絶縁性物質の平坦化前駆層を成膜した後、化学機械研磨(CMP)により、凸部を除去して形成する。CMP工程は、研磨剤や研磨パッドのランニングコストが高く、更には研磨に用いるアルカリ性研磨剤や研磨によって発生する研磨くずを除去する為に研磨後の洗浄を精密に行なわねばならず、非常に高コストの工程である。

【0007】

【発明が解決しようとする課題】そこで、CMP工程を用いずに遮光層の上に平坦な絶縁膜を形成する為に、SOG(スピンドルオングラス)を用いた塗布型絶縁膜を採用することを試みた。

【0008】しかしながら、遮光層が塗布の際のバリアになる為、同一チップ上の受光素子間での塗布型絶縁膜の厚さに差が生じることがあった。

【0009】例えば、図17に示すように受光素子が遮光層5によって定められた開口OPにてその位置が規定される場合、隣接する開口間には遮光層5が介在している為、この遮光層を乗り越えて塗布型絶縁膜の流動性の前駆物質が流動し難くなっている。従って、光電変換素子における中心付近の受光素子上の塗布型絶縁膜と該素子の端部付近の受光素子上の該膜とでは厚さに差が生じることがある。更に、複数の光電変換素子を作る為の一枚のウエハ上ではその差がより大きくなる。

【0010】そして、このような膜の厚さの差は、次のような場合、光電変換素子の特性として顕著に現われることとなる。

【0011】受光素子が多数配列されている光電変換素子を基板上に配置されたイメージセンサにおいて、光源に赤、緑、青のLEDを時系列に順次切り替えて原稿を照明してカラー画像を読み込む場合、受光素子上の多層膜の総膜厚が均一であっても、それぞれの膜の膜厚が異なると分光感度特性はそれを生じ、各々の波長において感度の分布曲線が異なり、正しい画像が得られなくなる。

【0012】

【課題を解決するための手段】本発明の目的は、遮光層が塗布の際のバリアにならず、同一チップ上の受光素子間での塗布型絶縁膜の厚さに差が生じ難い光電変換素子及びイメージセンサを提供することにある。

【0013】本発明は、複数の光電変換部と、該光電変換部上に配置された開口を有する遮光手段と、を具備する光電変換素子において、該遮光手段は、第1の遮光層と、該第1の遮光層上に層間絶縁膜を介して設けられた第2の遮光層と、を有しており、該第1の遮光層は、隣接する2つの該開口を連通させる為の間隙を有し、該第1の遮光層の該間隙上には、該第2の遮光層の遮光部が配置されていることを特徴とする。

【0014】

【発明の実施の形態】図1は、本発明の一実施の形態による光電変換素子とその構成部品を示している。

【0015】(a)は素子の上面を、(b)は第1の遮光層を、(c)は第2の遮光層を、(d)は(a)のAA'線による断面を、(e)は(a)のBB'線による断面を示している。

【0016】図1の(a)、(d)に示すように基板1上には光電変換部(受光素子)2が複数設けられており、基板1の上方には遮光手段としての第1の遮光層11と第2の遮光層12とが設けられている。

【0017】図1の(a)に示すように遮光手段は受光素子2上に光を通過させる開口OPを有している。

【0018】図1の(b)に示すように第1の遮光層11は、隣接する開口OP同士を少なくとも開口の配列方向に連通させる長さ11の間隙GPを有している。

【0019】図1の(a)、(c)、(e)に示すようにそして第1の遮光層11の間隙GPの上には、それを覆うように層間絶縁膜13を介して第2の遮光層の遮光部12aが配置されている。

【0020】本実施の形態の光電変換素子によれば、受光素子間においては、第1の遮光層11に間隙GPが設けられている為、この間隙を通って層間絶縁膜となる前駆物質が流動する。こうして、図1の(d)(e)に示すように層間絶縁膜13の厚さのバラツキは受光素子間で抑制され、均一な膜厚となる。

【0021】そして、この間隙GPを通して光が基板1内に入射しないように、間隙GP上には、第2の遮光層12の遮光部12aが配置されている。

【0022】これに対して、第1遮光層11に間隙を設けずに開口OPが個々に独立したものとして形成したとすると、受光素子間の断面はその受光素子間のどの部分においても図1の(d)のようなものとなり、前駆物質の流動を妨げて、厚さt1、t2に差が出来てしまう。

【0023】本発明に用いられる受光素子2としては、ショットキー接合、MIS接合、PN接合又はPIN接合等をもつホトダイオードやホトトランジスタが挙げられ、必要に応じて受光素子間は、素子分離領域により電気的に又は物理的に分離され個々の受光素子はアイソレートされる。

【0024】本発明に用いられる遮光層11、12としては、それぞれ、純金属、合金、シリサイド等から形成される。具体的には、Al、AlSi、AlSiCu、AlCu、Cr、Mo、W、WN、Ta、TaN、Ti、TiN等の單一層又は積層体からなる導電体を用いるといい。

【0025】本発明に用いられる層間絶縁膜としては、無機SOG、有機SOG等の流動性のある平坦化前駆物質を用いた塗布型絶縁膜が好ましく用いられる。又、必要に応じてCVD法で堆積された絶縁膜と組み合わせた

多層膜であってもよい。

【0026】更に、第2の遮光層12上に、それを覆うように窒化シリコン等からなる保護膜(パッシベーション膜)を形成してもよい。

【0027】遮光層L1の間隙の長さL1は、開口OPの辺の長さL2の1/3以上あればよく、より好ましくは1/3以上3/3以下である。

【0028】図2は本発明の別の光電変換素子の平面図、図3は図2のCC'線による断面図、図4は図2のDD'線による断面図である。

【0029】図2に示すとおり、光電変換素子は、受光素子2上に開口OPのある遮光手段を有している。

【0030】図3、図4を示すとおり、Si等の半導体基板19の表面側には、選択酸化などにより形成された絶縁材料からなる素子分離領域15と、その間に受光素子2とが形成されている。

【0031】半導体基板19の表面上には、不図示のポリシリコンゲート電極とその上に形成される配線とを絶縁する為の絶縁膜16が設けられている。この絶縁膜16は、ノンドープ或いはボロン(B)やリン(P)をドープした酸化シリコン膜で形成される。

【0032】絶縁膜16の表面上には、前述したようにA1等からなる第1の遮光層11がスパッタリング等で形成されている。第1の遮光層11の平面パターンは、図2に示すように開口OP間に間隙GPを有する。この第1の遮光層11として導電体を用いて、光電変換素子の配線の一部を形成してもよい。

【0033】第1の遮光層11上には、層間絶縁膜13が設けられている。

【0034】まず、プラズマCVD法により段差被覆性のよい酸化シリコンを300nm～500nm程堆積し、次に、SOGのスピニコーティングを行い、熱処理した後エッチバックして100nm～400nm厚の酸化シリコン膜(塗布型の層間絶縁膜)を形成し、更にその上にプラズマCVD法により、酸化シリコンを300nm～500nm堆積することにより、層間絶縁膜13を形成する。

【0035】SOGのスピニコーティングの時、前駆物質は、第1の遮光層11の間隙GPを通って隣の受光素子上に流れる為に、前駆物質は1つの受光素子2上に滞留することなくスムーズに流れ、膜厚の均一性が向上する。

【0036】層間絶縁膜13の上には、第2の遮光層12が、第1の遮光層11の間隙GPを覆うように設けられている。

【0037】この第2の遮光層12の遮光部12aにより、受光素子間への光の入射が妨げられる。

【0038】そして、第2の遮光層12上には、水分やアルカリイオン等の侵入を防止する為の保護膜18が設けられている。この保護膜は、プラズマCVD法により

堆積した窒化シリコン等で形成するとよい。

【0039】以上のとおり、遮光手段を互いにパターンの異なる複数の遮光層11、12で構成し、塗布絶縁膜の下層となる第1の遮光層11には、隣接受光素子2間に間隙を形成することで、該絶縁膜の厚さを均一化する。又、遮光手段は少なくとも周辺回路21の主要部分を遮光する。

【0040】次に図5を参照して本発明の光電変換素子に用いられる1画素分の周辺回路の一例を説明する。

10 【0041】光電変換部2を構成するホトダイオードのアノードは、リセット手段51と、増幅部52を構成するソースホロワアンプのpMOSトランジスタ53のゲートに接続されている。

【0042】ホトダイオードのカソード及びソースホロワアンプの負荷となるpMOSトランジスタ53'は、それぞれ高電位の基準電圧源に接続されている。

【0043】増幅された光信号は転送用のnMOSトランジスタ54のオンによって転送されて蓄積容量55に一旦蓄積される。

20 【0044】蓄積容量55はソースホロワアンプのpMOSトランジスタ56のゲートに接続されているので、ソースホロワの出力は、蓄積容量に蓄積される電圧に依存して増幅される。このnMOSトランジスタ54、蓄積容量55、ソースホロワアンプとなるpMOSトランジスタ56、負荷用のpMOSトランジスタ56'は信号保持手段となっている。

【0045】この信号保持手段の出力はノイズ信号除去手段に接続されている。

【0046】ノイズ信号除去手段は、一对のサンプリング回路のペアからなり、その一方は、ノイズ転送用のnMOSトランジスタ57、ノイズ保持容量59、リセット用nMOSトランジスタ61、走査用トランジスタ64'からなる。

【0047】他方は、光信号転送用のnMOSトランジスタ58、光信号保持容量60、リセット用nMOSトランジスタ62、走査用トランジスタ64からなる。

【0048】図6は、図5の回路の動作を説明する為のタイミングチャートである。スタートパルスSPが入力に従って、まずリセット用nMOSトランジスタ61、62のゲートの端子φCRにハイレベルのパルスが入力されノイズ保持容量59と光信号保持容量60とが低電位(グランドレベル)の基準電圧にリセットされる。

【0049】端子φTNにハイレベルのパルスが入力され、ノイズ転送用nMOSトランジスタ57がオンして、容量55に蓄積された電圧に応じて増幅された出力電圧をノイズ保持容量59に読み出す。この出力電圧は、前のフィールドにおいて、光電変換部2がリセットされた直後のノイズ電圧である。

【0050】そして、端子φT1にハイレベルのパルス50が入力され、転送用のnMOSトランジスタ54がオン

して、増幅部の出力電圧を蓄積容量55に読み出す。この出力電圧は現フィールドの光信号電圧である。

【0051】続いて端子φTSにハイレベルのパルスが入力されると、光信号転送用のnMOSトランジスタ58がオンして、光信号は容量60に読み出されて保持される。

【0052】次に、端子φRにハイレベルのパルスを入力してリセット用nMOSトランジスタRTをオンして、ホトダイオードのアノードを、リセット用の基準電圧源Vs₁に接続して、リセット電位にリセットする(期間t_r)。続いて端子φTIにハイレベルのパルスを入力してnMOSトランジスタ54をオンしてホトダイオードのリセット直後の電圧成分をノイズ電圧として容量55に読み出す(期間t_{n1})。

【0053】そしてホトダイオードが光キャリアの蓄積動作を行っている最中に、ノイズ保持容量59と光信号保持容量60に保持された電圧はそれぞれ走査用トランジスタ64, 64'を介して共通出力信号線65, 66に出力される。

【0054】共通出力信号線65, 66には、差分回路67が接続されており、光信号電圧からノイズ電圧を差し引く処理が行われる。

【0055】蓄積容量55に保持されているノイズ電圧は、再び端子φTNにハイレベルのパルスが入力されることで容量59に転送される(期間t_{n2})。そして、再び端子φT1にハイレベルのパルスが入力され、光信号が蓄積容量に保持され(期間t_{s1})、端子φTSにハイレベルのパルスが入力されることで光信号は容量60に転送される(期間t_{s2})。そして、次の蓄積期間において、容量59, 60に蓄積されたノイズ及び光信号は画素毎に順次走査されて差分処理がなされる。

【0056】図7は、半導体チップ上の光電変換素子のレイアウトの一例を示す図であり、受光素子2の配列に沿って、一方の側(図中上方)には、高電位V_{DD}の電圧ライン21、リセット電位Vs₁のリセットライン22、接地電位のグランドライン23等の基準電圧を供給する基準電圧ラインが規準電圧ライン配置部24に配されている。

【0057】受光素子アレイの他方の側(図中下方)には周辺回路としてのリセット手段、増幅部、信号保持手段、ノイズ信号除去手段が各配置部25、26、27に配置されており、周辺回路を構成する各トランジスタは主として第2の遮光層により実質的に遮光されている。

【0058】図8は、本発明の別の光電変換素子の上面を示す図であり、遮光手段のパターンを示している。図9は図8に対応した第1及び第2の遮光層の各パターンを示している。

【0059】74, 75は第1の遮光層であり、ここでは、74及び75は配線を兼ねている。74, 75は例えば接地ラインやリセットラインである。

【0060】第1の遮光層74, 75の上層には、塗布型絶縁膜を介して第2の遮光層70, 71, 72, 73が配されており、周辺回路を遮光している。

【0061】第1の遮光層74, 75は、前述したように開口の縫辺の3分の1以上の間隔をおいて上下に分離している。

【0062】その為、塗布型絶縁膜に設けられたコンタクトホールCNを介して、該間隔を覆う位置にある第2の遮光層の遮光部71, 72とそれぞれ接続されている。

【0063】こうして、図中下方にある周辺回路には、遮光部72を通して接地電圧が、層70を通して高電位の電圧が、遮光部71を通じてリセット電圧が、図中上方から供給される。

【0064】第1の遮光層74, 75の間には、それらのすき間を埋め且つ電気的接続を得るように第2の遮光層の遮光部73が配されている。それでも尚、受光素子間には光の通るすき間が残るが、この下は素子分離領域となる為それ程問題にはならない。

【0065】図9は、図8における第1の遮光層11と第2の遮光層12のパターンを示している。

【0066】図10に本発明の光電変換素子を使用した密着型イメージセンサの例を示す。複数の受光素子を1次元的に配列した光電変換素子31をセラミック基板あるいはガラスエポキシ基板32上に複数個1ライン状又はスタガーライン状に配置し、ワイヤーボンディングによって基板32上の配線に電気的に接続し、保護のために光電変換装置上をシリコーン樹脂等からなるチップコート剤33で覆う。この基板32と、原稿からの反射光を集光し、受光素子表面で結像させるレンズアレイ34と、赤、緑、青色の光を発生するLED光源35と、透明部材からなる原稿支持体36と、を組み立てて密着型イメージセンサを構成している。

【0067】LED光源35が、赤のみを発光している時、光電変換素子31を駆動して赤色情報を読み取る。次に赤色及び青色LEDを消灯し、緑色LEDを点灯して緑色情報を読み取る。最後に青色LEDのみを点灯し、青色情報を読み取る。こうして、カラーフィルターを用いることなくカラー原稿のカラーの画像読み取りが可能になる。

【0068】図11は、密着型イメージセンサ用の光電変換素子における、開口の辺の長さに対する第1の遮光層の間隙GPの長さの比と、明出力ばらつき不良率との関係をグラフに示したものである。間隙の割合がおよそ1/3になるまでは不良率は減少し、それ以上は不良率の変化はほとんどない。

【0069】以上のことより、この構成をとることで層間絶縁膜の膜厚ばらつきが減少し、分光感度のずれを抑えることができ、感度ばらつきが低減した。

【0070】図12、13は本発明の更に別の実施形態

による光電変換素子の上面と断面を示す。

【0071】図8に示した素子と異なる点は、ホトダイオードの一方の電極・配線76が開口内に延出している点である。

【0072】半導体基板19の表層には、ホトダイオードの一方のアノード又はカソードとなる半導体領域77が島状に1つの開口内に1つ設けられており、絶縁膜16のコンタクトホールを介して第1の遮光層74、75と同じ膜で構成された電極配線76に接続されている。

【0073】2は受光によりキャリアを発生し、且つ空乏層となる光電変換部(受光素子)である。

【0074】各受光素子の間には素子分離領域15が設けられている。

【0075】そして、素子分離領域15の上に受光素子間を遮光する第1の遮光層74、75と第2の遮光層70、71、72が設けられている。

【0076】又、必要に応じて第2の遮光層70と、電極配線76と、はそれらの間の容量を小さくする為、図12のように第2の遮光層70に切り欠き部79を設けてもよい。

【0077】本例においても各受光素子間の遮光手段が規準電圧ラインとなっており、規準電圧ラインの寄生抵抗を低くし各画素間のバラツキを抑えている。

【0078】図14は本発明の光電変換素子の一画素分の回路図である。

【0079】図5に示したものと異なる主な点は、ホトダイオードとMOSトランジスタ53のゲートとの間に電荷転送用のMOSトランジスタ81を設けた点、図5の信号保持手段を省略した点、出力信号線のリセットを一対のMOSトランジスタ61で同時に行う点、いくつかのMOSトランジスタの導電型が逆になっている点等である。

【0080】図15はその動作タイミングチャートを示す。

【0081】まず、nMOSトランジスタRTによりリセットを行った直後に、nMOSトランジスタ57をオンして容量59にリセットノイズ成分を蓄積する。

【0082】ホトダイオードに蓄積された光信号電荷はMOSトランジスタ81のゲートに転送・蓄積される。nMOSトランジスタ53のゲートをオンすることによりnMOSトランジスタから増幅された光信号を容量60に蓄積する。不図示の水平シフトレジスタにより一対のnMOSトランジスタ64'、64がオンして、リセットノイズ成分と光信号成分との差分が差動アンプ87より出力される。こうして一画素分のリセットノイズ成分が除去された光信号が得られる。次に、不図示のトランジスタ64(N+1)がオンして隣の画素から光信号を得る。

【0083】図12～図14の例では、各画素における接地電圧(リセット電圧)は遮光部72、75を介して

供給し、高電位の規準電圧は70又は74を介して供給するようにしてもよい。

【0084】図8や図12に示した光電変換素子の製造方法について簡単に述べる。

【0085】Siウエハを用意し、選択酸化により酸化シリコンからなる厚い絶縁膜(素子分離領域)15を作る。各MOSトランジスタのゲート電極を形成し、ソース・ドレイン及び半導体領域77を形成する。CVD等により絶縁膜16を形成し、コンタクトホールを開ける。第1の遮光層74、75や電極・配線76となるA1のような導電膜を形成し、遮光パターン及び配線パターンにエッチングする。

【0086】SOGの前駆物質をスピンドルコートし、熱処理して塗布型絶縁膜の層間絶縁膜13を形成する。スルーホールを絶縁膜13に開けて、第2の遮光層70、71、72となるA1のような導電膜を形成し、遮光パターン及び配線パターンにエッチングする。CVD等により保護膜18を形成する。

【0087】以上のように、第1の遮光層74、75、76の上に塗布される絶縁膜用前駆物質は第1の遮光層の間隔を通って流動する。よって、この構成をとることで層間絶縁膜の膜厚ばらつきが減少し、分光感度のずれを抑えることができ、感度ばらつきが低減した。

【0088】MOSトランジスタ81を電荷転送MOSゲートに変えて、半導体領域77に蓄積されたキャリアを全てトランジスタ53のゲートに接続された拡散層に転送し、半導体領域77を完全に空乏化するように構造を変更することも好ましいものである。

【0089】
【発明の効果】本発明によれば、第1の遮光層に設けられた間隙を通じて塗布型絶縁膜の前駆物質が流れる為に1チップ内の少なくとも隣接受光素子間で絶縁膜の膜厚の差が抑制される。

【0090】更に、該間隙を覆うように第2の遮光層が設けられているので、受光素子間を遮光し、不要な光生成キャリアの発生を抑制することができる。

【0091】こうして、比較的低コストで、均一な膜厚の絶縁膜を形成でき、感度ばらつきの小さい光電変換素子を提供することが出来る。

【図面の簡単な説明】
【図1】本発明の光電変換素子の構造を説明する為の模式図。

【図2】本発明の光電変換素子の上面図。
【図3】図2のCC'線による光電変換素子の断面図。
【図4】図2のDD'線による光電変換素子の断面図。
【図5】本発明の光電変換素子の一部の回路図。
【図6】本発明の光電変換素子の動作タイミングチャートを示す図。
【図7】本発明の光電変換素子の回路ブロックのレイアウトを示す図。

11

【図8】本発明の光電変換素子の上面図。

【図9】本発明の光電変換素子に用いられる遮光手段の上面図。

【図10】本発明によるイメージセンサの断面図。

【図11】遮光層の開口の辺の長さに対する間隙の長さと、明出力のばらつき不良率との関係を示す図。

【図12】本発明による別の光電変換素子の上面図。

【図13】図12のE-E'線による断面図。

【図14】本発明による別の光電変換素子の回路図。

【図15】本発明による光電変換素子の動作タイミングチャートを示す図。

12

【図16】従来の光電変換素子の断面図。

【図17】光電変換素子の上面図。

【符号の説明】

1 基板

2 光電変換部(受光素子)

11 第1の遮光層

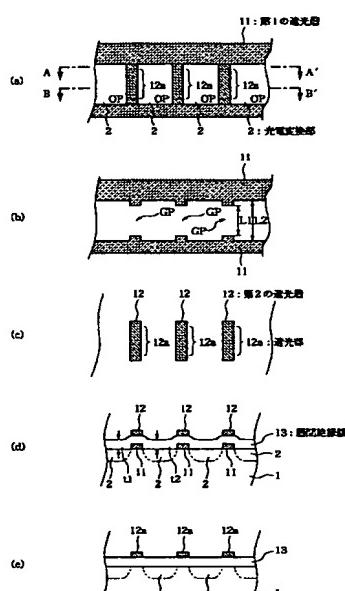
12 第2の遮光層

13 層間絶縁膜

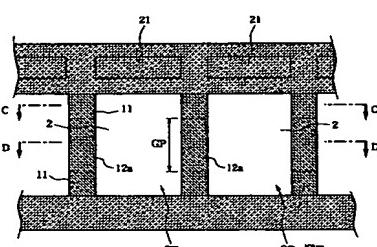
OP 開口

GP 間隙

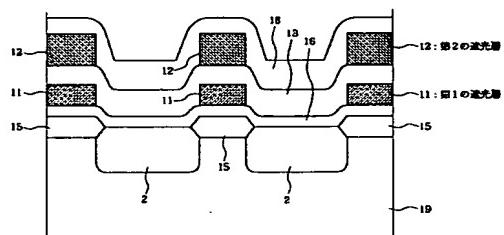
【図1】



【図2】

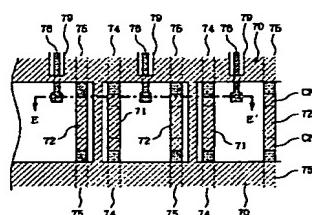
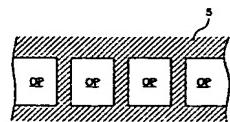


【図3】

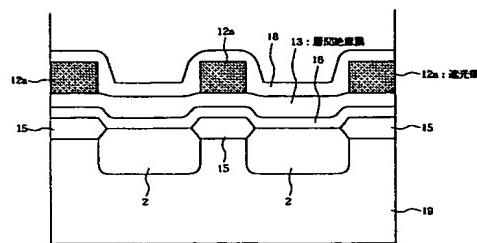


【図12】

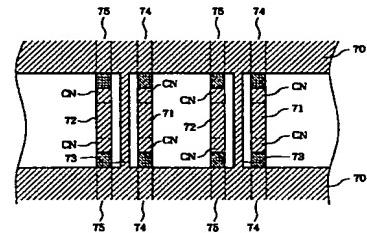
【図17】



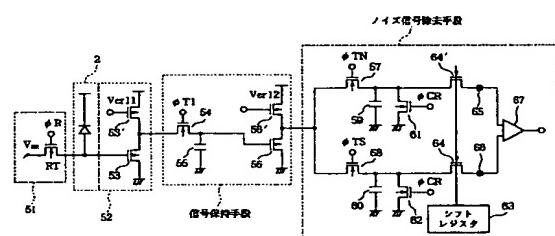
【図4】



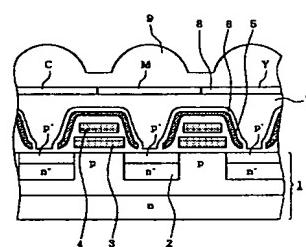
【図8】



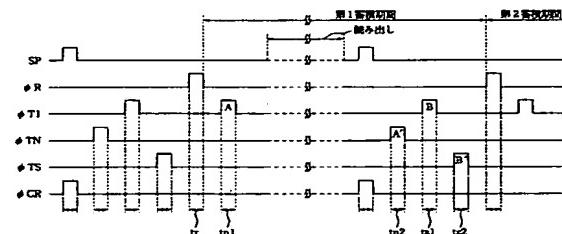
【図5】



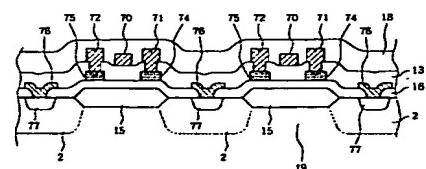
【図16】



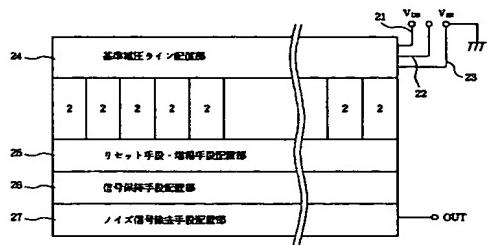
【図6】



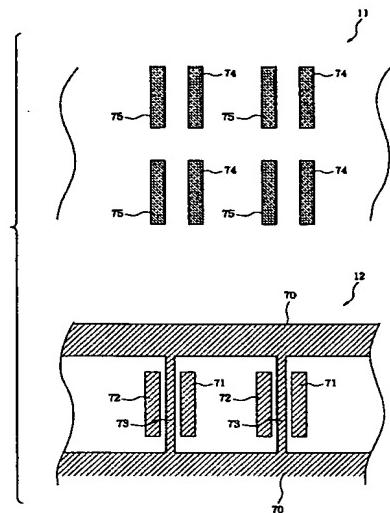
【図13】



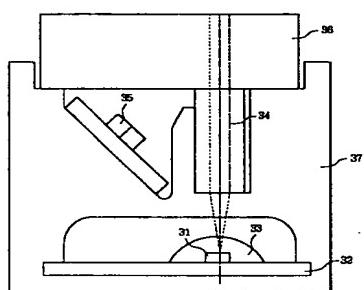
【図7】



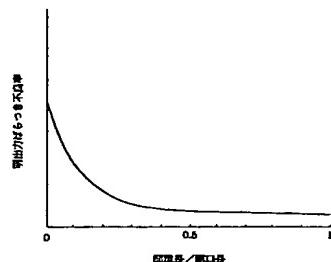
【四九】



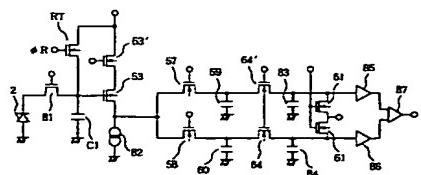
【図10】



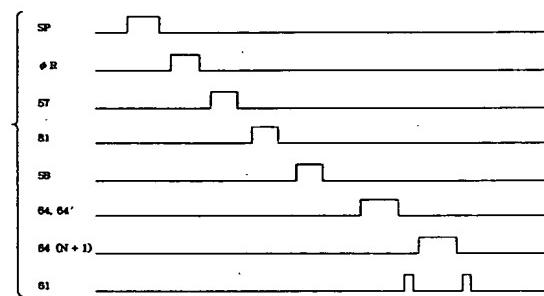
[图 1-1]



(14)



【図15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.